MHB 8804 ANALOGOVÉ SPÍNACÍ POLE

MHB 8804 АНАЛОГОВОЕ КОММУТАЦИОННОЕ ПОЛЕ • MHB 8804 ANALOGUE SWITCHING FIELD • MHB 8804 ANALOG-SCHALTFELD

Analogové spínací pole sdružuje: Spínací pole s organizací 8 řádků L0 . . . L7 a 4 sloupce J0 . . . J3, řídicí paměť RAM 8 × 8 bitů, dekodér adres.

Řádky a sloupce spínacího pole se mohou spínat v libovolném bodě v závislosti na obsahu paměti (libovolný řádek může se připojit na libovolný sloupec nebo více sloupců). Jednotlivá slova se zapisují do paměti přes vstupy D0 . . . D3 na adresu určenou adresovými vstupy A0 . . . A2, které jsou dekódovány v dekodéru adres.

Pouzdro IO 15/1

Mezní hodnoty:

	min.	max.	
$U_{DD} - U_{SS}$	−0,3	+16	V
$U_{DD} - U_{EE}$	−0,3	+16	V
$U_{SS} - U_{EE}$	−0,3	+16	V
U_I [1]	$U_{SS} - 0,3$	$U_{DD} + 0,3$	V
$U_{I/O}$ [2]	$U_{EE} - 0,3$	$U_{DD} + 0,3$	V
I_I [1]		±10	mA
I_I [3]		±8	mA
P		500	mW
ϑ_a	0	+70	°C

[1]) Logických vstupů.
[2]) Na vstupech a výstupech analogových spínacích polí.
[3]) Analogového spínače.

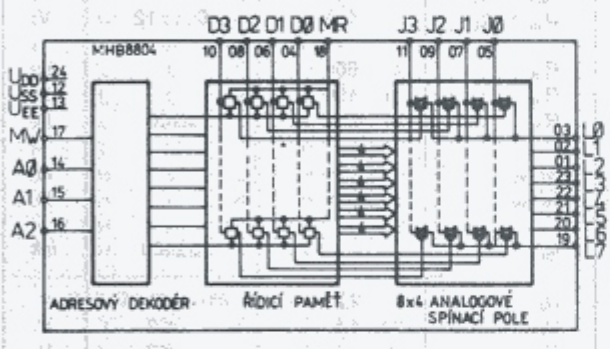
Charakteristické údaje: $\vartheta_a = 25$ °C, $U_{SS} = U_{EE} = 0$ V

		nom.	min.–max.	
Napájecí napětí	$U_{DD} - U_{SS}$	5,0	5 . . . 15	V
	$U_{DD} - U_{EE}$	5,0	5 . . . 15	V
	$U_{SS} - U_{EE}$	5,0	0 . . . 12	V
Odpor analogového spínače v sepnutém stavu				
$U_O = 0{,}6$ V, $U_{DD} = 5$ V	R_{ON}	600		Ω
$U_O = 0{,}6$ V, $U_{DD} = 10$ V	R_{ON}	180		Ω
$U_O = 0{,}6$ V, $U_{DD} = 15$ V	R_{ON}	130	≤150	Ω
Rozdíl odporu v sepnutém stavu				
$U_{DD} = 10$ V	ΔR_{ON}	30		Ω
$U_{DD} = 15$ V	ΔR_{ON}	20		Ω
Svodový proud v rozepnutém stavu				
$U_O = \pm 15$ V, $U_{DD} = 15$ V	I_{OFF}		≤±500	nA
Vstupní napětí — úroveň L				
$U_{DD} = 5$ V	U_{IL}	2,25	≤1	V
$U_{DD} = 10$ V	U_{IL}	4,5	≤2	V
$U_{DD} = 15$ V	U_{IL}		≤3	V
Vstupní napětí — úroveň H				
$U_{DD} = 5$ V	U_{IH}	2,75	≥4	V
$U_{DD} = 10$ V	U_{IH}		≥8	V
$U_{DD} = 15$ V	U_{IH}	5,5	≥12	V
Příkon proudu v klidu				
$U_{DD} = 15$ V	I_{DDO}		≤500	μA
Kapacita vývodu spojnice				
$U_O = 0$ V, $f = 1$ MHz, $U_{DD} = 10$ V	C_{JN}	20		pF
Průchozí kapacita rozepnutého spínače				
$U_O = 0$ V, $f = 1$ MHz, $U_{DD} = 10$ V	C_{LJ}	0,12		pF
Kapacita logického vstupu				
$U_I = 0$ V, $f = 1$ MHz	C_{IN}	5		pF
Kapacita vývodu vedení				
$U_O = 0$ V, $f = 1$ MHz, $U_{DD} = 10$ V	C_{LN}	5		pF
Zkreslení sinusového signálu				
$U_{LJ\,M/M} = 5$ V, $R_L = 10$ kΩ, $f = 1$ kHz,				
$U_{DD} = 5$ V	k	1		%
$U_{DD} = 10$ V	k	0,2		%
$U_{DD} = 15$ V	k	0,1		%

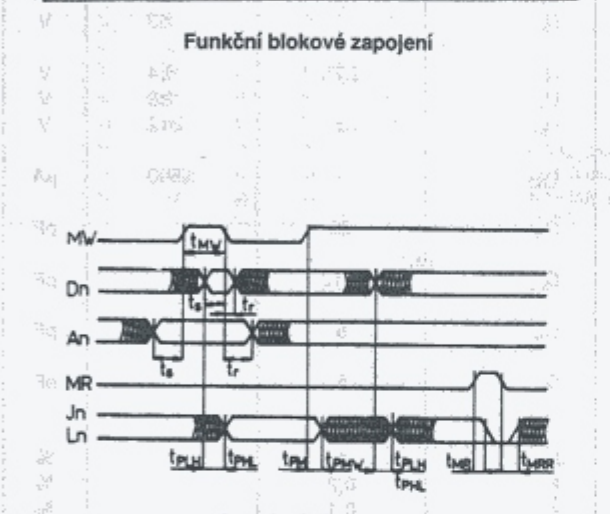
		nom.	min.–max.	
Útlum rozepnutého spínače				
$f = 1$ MHz, $R_L = 1$ kΩ, $U_{DD} = 10$ V	a_K	10		dB
Přeslech mezi kanály (jeden rozepnutý, druhý sepnut)				
$f = 1$ MHz, $U_{DD} = 10$ V	a_K	−40		dB
$f = 3{,}4$ kHz, $U_{DD} = 10$ V	a_K	−90		dB
Zpoždění signálu mezi vstupem a výstupem				
$R_L = 50$ pF, $t_r = t_f = 20$ ns, $U_{DD} = 10$ V	t_{ps}	10		ns

Dynamické hodnoty: $t_r = t_f = 20$ ns, $C_L = 50$ pF

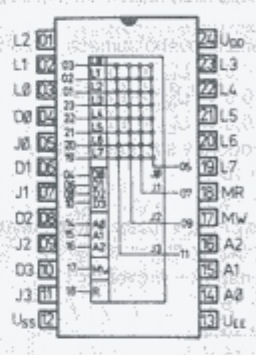
U_{DD}	5	10	V	
t_{ps}	—	10	ns	
t_{PLH}	400	200	ns	($R_L = 10$ kΩ)
t_{PMW}	600	300	ns	($R_L = 10$ kΩ)
t_{MW}	225	90	ns	
t_s	90	50	ns	
t_r	90	50	ns	
t_{MR}		175	ns	($R_L = 1$ kΩ)
t_{MRR}	250	150	ns	



Funkční blokové zapojení



Impulsní diagram



Zapojení vývodů (pohled shora)

1. L_2 — vstup/výstup spínacího pole
2. L_1 — vstup/výstup spínacího pole
3. L_0 — vstup/výstup spínacího pole
4. D_0 — vstup řídicí paměti
5. J_0 — vstup/výstup spínacího pole
6. D_1 — vstup řídicí paměti
7. J_1 — vstup/výstup spínacího pole
8. D_2 — vstup řídicí paměti
9. J_2 — vstup/výstup spínacího pole
10. D_3 — vstup řídicí paměti
11. J_3 — vstup/výstup spínacího pole
12. U_{SS} — napájecí napětí logiky
13. U_{EE} — napájecí napětí analogové části
14.–16. A_0, A_1, A_2 — adresové vstupy řídicí paměti
17. MW — vstup pro platnost adresy
18. MR — nulování řídicí paměti
19.–23. L7, L6, L5, L4, L3 — vstup/výstup spínacího pole
24. U_{DD} — napájecí napětí

Funkční tabulka

MR	MW	A2	A1	A0	L0 . . . L7	D3	D2	D1	D0	J4	J3	J2	J1
H	X	X	X	X	všechny	X	X	X	X	spínače rozpojeny bez změny předchozího stavu			
L	L	X	X	X	žádné	X	X	X	X				
L	H	L	L	L	L0	L	L	L	L	.	.	.	.
L	H	L	L	L	L0	L	L	L	H	.	.	.	x
L	H	L	L	L	L0	L	L	H	L	.	.	x	.
L	H	L	L	L	L0	L	L	H	H	.	.	x	x
L	H	L	L	L	L0	L	H	L	L	.	x	.	.
L	H	L	L	L	L0	L	H	L	H	.	x	.	x
L	H	L	L	L	L0	L	H	H	L	.	x	x	.
L	H	L	L	L	L0	L	H	H	H	.	x	x	x
L	H	L	L	L	L0	H	L	L	L	x	.	.	.
L	H	L	L	L	L0	H	L	L	H	x	.	.	x
L	H	L	L	L	L0	H	L	H	L	x	.	x	.
L	H	L	L	L	L0	H	L	H	H	x	.	x	x
L	H	L	L	L	L0	H	H	L	L	x	x	.	.
L	H	L	L	L	L0	H	H	L	H	x	x	.	x
L	H	L	L	L	L0	H	H	H	L	x	x	x	.
L	H	L	L	L	L0	H	H	H	H	x	x	x	x
L	H	L	L	H	L1	dále stejně jako pro L0							
L	H	L	H	L	L2								
L	H	L	H	H	L3								
L	H	H	L	L	L4								
L	H	H	L	H	L5								
L	H	H	H	L	L6								
L	H	H	H	H	L7								

. — spínač rozpojený
x — spínač sepnutý
MR — nulování paměti
MW — nastavení adres
A0 . . . A2 — adresy
L0 . . . L7 — adresování vedení
D0 . . . D3 — vstupní data paměti
J1 . . . J4 — sepnutí spínače s vedením L

INTEGROVANÉ OBVODY CMOS
ANALOGOVÉ SPÍNACÍ POLE

MHB8804

ANALOGOVÉ SPÍNACÍ POLE SDRUŽUJE:
SPÍNACÍ POLE S ORGANIZACÍ 8 ŘÁDKŮ L0 . . . L7
A 4 SLOUPCE J0 . . . J3, ŘÍDICÍ PAMĚŤ RAM 8 × 8 BITŮ,
DEKODÉR ADRES.

ŘÁDKY A SLOUPCE SPÍNACÍHO POLE SE MOHOU SPÍNAT V LIBOVOLNÉM BODĚ V ZÁVISLOSTI NA OBSAHU PAMĚTI (LIBOVOLNÝ ŘÁDEK MŮŽE SE PŘIPOJIT NA LIBOVOLNÝ SLOUPEC NEBO VÍCE SLOUPCŮ). JEDNOTLIVÁ SLOVA SE ZAPISUJÍ DO PAMĚTI PŘES VSTUPY D0 . . . D3 NA ADRESU URČENOU ADRESOVÝMI VSTUPY A0 . . . A2, KTERÉ JSOU DEKÓDOVÁNY V DEKODÉRU ADRES.

POUZDRO: IO—15/1

MEZNÍ HODNOTY:

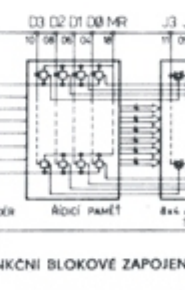
	min.	max.	
$U_{DD} - U_{SS}$	−0,3	+16	V
$U_{DD} - U_{EE}$	−0,3	+16	V
$U_{SS} - U_{EE}$	−0,3	+16	V
U_I [1]	$U_{SS} - 0,3$	$U_{DD} + 0,3$	V
$U_{I/O}$ [2]	$U_{EE} - 0,3$	$U_{DD} + 0,3$	V
I_I [1]		±10	mA
I_I [3]		±8	mA
P		500	mW
ϑ_a	0	+70	°C

[1]) Logických vstupů
[2]) Na vstupech a výstupech analogových spínacích polí
[3]) Analogového spínače

FUNKČNÍ TABULKA

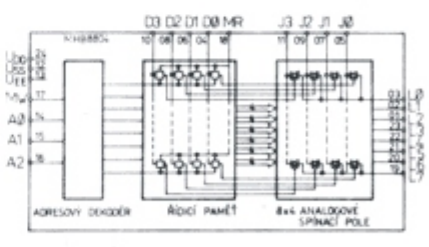
MR	MW	A2	A1	A	L0 . . . L7	D3	D2	D1	D0	J4	J3	J2	J1
H	X	X	X	X	všechny	X	X	X	X	spínače rozpojeny bez změny předchozího stavu			
L	L	X	X	X	žádné	X	X	X	X				
L	H	L	L	L	L0	L	L	L	L	.	.	.	.
L	H	L	L	L	L0	L	L	L	H	.	.	.	x
L	H	L	L	L	L0	L	L	H	L	.	.	x	.
L	H	L	L	L	L0	L	L	H	H	.	.	x	x
L	H	L	L	L	L0	L	H	L	L	.	x	.	.
L	H	L	L	L	L0	L	H	L	H	.	x	.	x
L	H	L	L	L	L0	L	H	H	L	.	x	x	.
L	H	L	L	L	L0	L	H	H	H	.	x	x	x
L	H	L	L	L	L0	H	L	L	L	x	.	.	.
L	H	L	L	L	L0	H	L	L	H	x	.	.	x
L	H	L	L	L	L0	H	L	H	L	x	.	x	.
L	H	L	L	L	L0	H	L	H	H	x	.	x	x
L	H	L	L	L	L0	H	H	L	L	x	x	.	.
L	H	L	L	L	L0	H	H	L	H	x	x	.	x
L	H	L	L	L	L0	H	H	H	L	x	x	x	.
L	H	L	L	L	L0	H	H	H	H	x	x	x	x
L	H	L	L	H	L1	dále stejně jako pro L0							
L	H	L	H	L	L2								
L	H	L	H	H	L3								
L	H	H	L	L	L4								
L	H	H	L	H	L5								
L	H	H	H	L	L6								
L	H	H	H	H	L7								

. — spínač rozpojený
x — spínač sepnutý
MR — nulování paměti
MW — nastavení adres
A0 . . . A2 — adresy
L0 . . . L7 — adresování vedení
D0 . . . D3 — vstupní data paměti
J1 . . . J4 — sepnutí spínače s vedením L



Zapojení vývodů (pohled shora)

1. L_2 — vstup/výstup spínacího pole
2. L_1 — vstup/výstup spínacího pole
3. L_0 — vstup/výstup spínacího pole
4. D_0 — vstup řídicí paměti
5. J_0 — vstup/výstup spínacího pole
6. D_1 — vstup řídicí paměti
7. J_1 — vstup/výstup spínacího pole
8. D_2 — vstup řídicí paměti
9. J_2 — vstup/výstup spínacího pole
10. D_3 — vstup řídicí paměti
11. J_3 — vstup/výstup spínacího pole
12. U_{SS} — napájecí napětí logiky
13. U_{EE} — napájecí napětí analogové části
14., 15., 16. A_0, A_1, A_2 — adresové vstupy řídicí paměti
17. MW — vstup pro platnost adresy
18. MR — nulování řídicí paměti
19.–23. L7, L6, L5, L4, L3 — vstup/výstup spínacího pole
24. U_{DD} — napájecí napětí



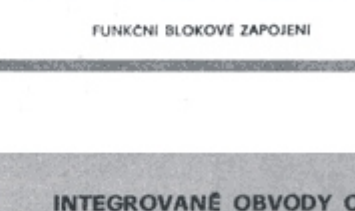
FUNKČNÍ BLOKOVÉ ZAPOJENÍ

CHARAKTERISTICKÉ ÚDAJE: $\vartheta_a = 25$ °C, $U_{SS} = U_{EE} = 0$ V

		nom.	min.-max.	
Napájecí napětí	$U_{DD} - U_{SS}$	5,0	5 . . . 15	V
	$U_{DD} - U_{EE}$	5,0	5 . . . 15	V
	$U_{SS} - U_{EE}$	5,0	0 . . . 12	V
Odpor analogového spínače v sepnutém stavu				
$U_O = 0{,}6$ V, $U_{DD} = 5$ V	R_{ON}	600		Ω
$U_O = 0{,}6$ V, $U_{DD} = 10$ V	R_{ON}	180		Ω
$U_O = 0{,}6$ V, $U_{DD} = 15$ V	R_{ON}	130	≤ 150	Ω
Rozdíl odporu v sepnutém stavu				
$U_{DD} = 10$ V	ΔR_{ON}	30		Ω
$U_{DD} = 15$ V	ΔR_{ON}	20		Ω
Svodový proud v rozepnutém stavu				
$U_O = \pm 15$ V, $U_{DD} = 15$ V	I_{OFF}		≤ ±500	nA
Vstupní napětí — úroveň L				
$U_{DD} = 5$ V	U_{IL}	2,25	≤ 1	V
$U_{DD} = 10$ V	U_{IL}	4,5	≤ 2	V
$U_{DD} = 15$ V	U_{IL}		≤ 3	V
Vstupní napětí — úroveň H				
$U_{DD} = 5$ V	U_{IH}	2,75	≥ 4	V
$U_{DD} = 10$ V	U_{IH}		≥ 8	V
$U_{DD} = 15$ V	U_{IH}	5,5	≥ 12	V
Příkon proudu v klidu				
$U_{DD} = 15$ V	I_{DDO}		≤ 500	μA
Kapacita vývodu spojnice				
$U_O = 0$ V, f = 1 MHz, $U_{DD} = 10$ V	C_{JN}	20		pF
Průchozí kapacita rozepnutého spínače				
$U_O = 0$ V, f = 1 MHz, $U_{DD} = 10$ V	C_{LJ}	0,12		pF
Kapacita logického vstupu				
$U_I = 0$ V, f = 1 MHz	C_{IN}	5		pF
Kapacita vývodu vedení				
$U_O = 0$ V, f = 1 MHz, $U_{DD} = 10$ V	C_{LN}	5		pF
Zkreslení sinusového signálu				
$U_{LJ\,M/M} = 5$ V, $R_L = 10$ kΩ, f = 1 kHz,				
$U_{DD} = 5$ V	k	1		%
$U_{DD} = 10$ V	k	0,2		%
$U_{DD} = 15$ V	k	0,1		%
Útlum rozepnutého spínače				
f = 1 MHz, $R_L = 1$ kΩ, $U_{DD} = 10$ V	a_K	10		dB
Přeslech mezi kanály (jeden rozepnutý, druhý sepnut)				
f = 1 MHz, $U_{DD} = 10$ V	a_K	—40		dB
f = 3,4 kHz, $U_{DD} = 10$ V	a_K	—90		dB
Zpoždění signálu mezi vstupem a výstupem				
$C_L = 50$ pF, $t_r = t_f = 20$ ns, $U_{DD} = 10$ V	t_{ps}	10		ns

DYNAMICKÉ HODNOTY:
$t_r = t_f = 20$ ns, $C_L = 50$ pF

U_{DD}	5	10	V	
t_{ps}	—	10	ns	
t_{PLH}	400	200	ns	($R_L = 10$ kΩ)
t_{PMW}	600	300	ns	($R_L = 10$ kΩ)
t_{MW}	225	90	ns	
t_s	90	50	ns	
t_r	90	50	ns	
t_{MR}		175	ns	($R_L = 1$ kΩ)
t_{MRR}	250	150	ns	



Impulsní diagram