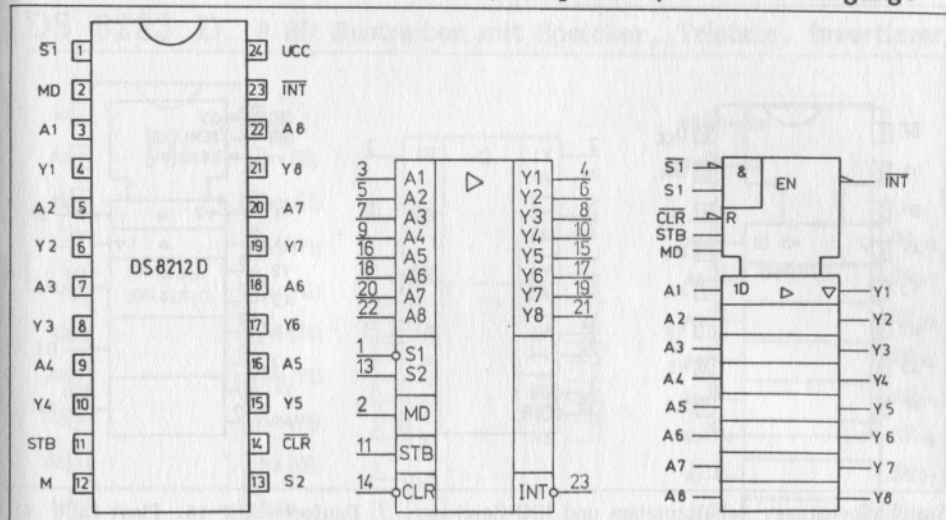


# DS 8212 D 8 Bit Bustreiber mit Speicher, Tristate-Ausgänge



Anschlußbelegung, Schaltzeichen und IEC-Zeichen

Bauform: DIP-24, Plast (Bild 10)  
Typstandard: TGL 42623

## Funktionstabelle

| Funktion  | Steuereingänge          |    |                        |    |     | Dateneingänge<br>An | Datenausgänge<br>Yn |
|-----------|-------------------------|----|------------------------|----|-----|---------------------|---------------------|
|           | $\overline{\text{CLR}}$ | MD | $\overline{\text{SI}}$ | S2 | STB |                     |                     |
| Clear     | L                       | H  | H                      | X  | X   | X                   | L                   |
|           | L                       | L  | L                      | H  | L   | X                   | L                   |
| 3-State   | X                       | L  | X                      | L  | X   | X                   | Z                   |
|           | X                       | L  | H                      | X  | X   | X                   | Z                   |
| Speichern | H                       | H  | H                      | L  | X   | X                   | Q0                  |
|           | H                       | L  | L                      | H  | L   | X                   | Q0                  |
| Datenbus  | H                       | H  | L                      | H  | X   |                     |                     |
|           | H                       | L  | L                      | H  | H   |                     |                     |

X Pegel beliebig  
(L oder H)  
H-L-Flanke

## Ausgewählte Kennwerte

| Kennwert  | Kurzzeichen      | Meßbedingung | min. | typ. | max. | Einheit |
|---|------------------|--------------|------|------|------|---------|
| Signalverzögerungszeiten  |                  |              |      |      |      |         |
| A $\rightarrow$ Y   | $t_{\text{PLH}}$ |              |      | 18   | 30   | ns      |
| $\overline{\text{SI}}, \text{S2} \rightarrow \overline{\text{INT}}$ |                  |              | 22   | 30   | ns   |         |
| STB, $\overline{\text{SI}}, \text{S2} \rightarrow \text{Y}$         |                  |              | 29   | 40   | ns   |         |
| A $\rightarrow$ Y   | $t_{\text{PHL}}$ |              |      | 16   | 30   | ns      |
| $\overline{\text{CLR}} \rightarrow \text{Y}$                        |                  |              | 28   | 55   | ns   |         |
| STB $\rightarrow \overline{\text{INT}}$                             |                  |              | 24   | 40   | ns   |         |
| STB, $\overline{\text{SI}}, \text{S2} \rightarrow \text{Y}$         |                  |              |      |      | 40   | ns      |